

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-078520

(43)Date of publication of application : 22.03.1996

(51)Int.Cl. H01L 21/768
H01L 21/28
H01L 21/3205

(21)Application number : 06-207031

(71)Applicant : FUJITSU LTD

(22)Date of filing : 31.08.1994

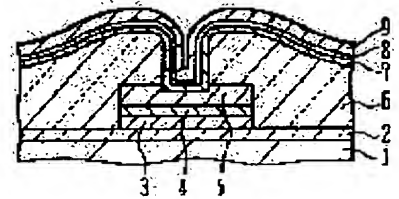
(72)Inventor : TANIGUCHI TOSHIO

(54) SEMICONDUCTOR DEVICE HAVING MULTILAYER WIRING AND FABRICATION THEREOF

(57)Abstract:

PURPOSE: To restrain the contact resistance between upper and lower wiring layers from increasing at the time of heat treatment after formation of upper wiring layer by forming a barrier layer of such material as retardative to reaction on both wiring materials on the interface of the lower wiring layer composed of a high melting point metal and the upper wiring layer formed thereon.

CONSTITUTION: A lower wiring layer comprising a Ti layer 3, a TiN layer 4 and a W layer 5 is formed on the surface of a substrate 1 deposited with BPSG 2. An interlayer insulation film 6 is then deposited covering the lower wiring layer and the BPSG 2. Subsequently, a via hole is opened in order to connect the lower wiring layer with an upper wiring layer 9 principally comprising Al. A TiN layer 7 is then formed covering the interlayer insulation film 6 and the surface of the W layer 5 exposed to the bottom face of the via hole. In order to restrain the contact resistance between the W layer 5 and the TiN layer 7 from increasing, the TiN layer 7 is formed before the quantity of degas from the interlayer insulation film 6 increases. The TiN layer 7 is oxidized slightly prior to formation of the upper wiring layer 9 thus preventing the electromigration resistance from deteriorating.



LEGAL STATUS

[Date of request for examination]

08.08.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-78520

(43) 公開日 平成8年(1996)3月22日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/768				
21/28	3 0 1 R			
21/3205				
			H 0 1 L 21/ 90	B
			21/ 88	R
			審査請求 未請求	請求項の数15 O L (全 10 頁)

(21) 出願番号 特願平6-207031

(22) 出願日 平成6年(1994)8月31日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 谷口 敏雄

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 高橋 敬四郎

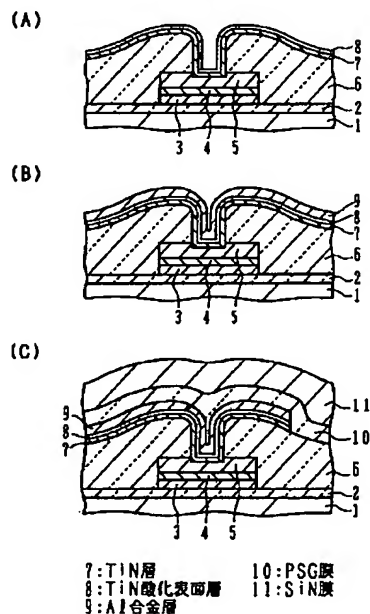
(54) 【発明の名称】 多層配線を有する半導体装置及びその製造方法

(57) 【要約】 (修正有)

【目的】 下層配線として高融点金属を使用し、上層配線形成後の熱処理においても上層配線と下層配線との接触抵抗の増大を抑制することができる多層配線形成技術を提供する。

【構成】 絶縁表面2上に形成され、高融点金属T、Wを主成分として含む第1の配線3、4、5と、前記第1の配線を覆うように形成され、所定の領域にコンタクトホールが設けられた層間絶縁膜6と、前記第1の配線の上面のうち前記コンタクトホールが設けられた領域で前記第1の配線に電氣的に接続するように形成され、Alを主成分として含む第2の配線9と、前記第1の配線と前記第2の配線とが電氣的に接続される界面に配置され、前記第1の配線の主成分である高融点金属及びAlの双方と異なり、かつ双方と実質的に反応しない材料からなるバリア層7とを有する。

実施例による多層配線形成方法



【特許請求の範囲】

【請求項1】 絶縁表面上に形成され、高融点金属を主成分として含む第1の配線と、

前記第1の配線を覆うように形成され、所定の領域にコンタクトホールが設けられた層間絶縁膜と、

前記第1の配線の上面のうち前記コンタクトホールが設けられた領域で前記第1の配線に電氣的に接続するように形成され、Alを主成分として含む第2の配線と、

前記第1の配線と前記第2の配線とが電氣的に接続される界面に配置され、前記第1の配線の主成分である高融点金属及びAlの双方と異なり、かつ双方と実質的に反応しない材料からなるバリア層とを有する半導体装置。

【請求項2】 前記バリア層は、TiN層、TiW層、W層、Ta層からなる群から選ばれた少なくとも1つの層から構成される請求項1記載の半導体装置。

【請求項3】 さらに、前記バリア層と前記第2の配線との界面に形成され、前記バリア層の表面を酸化して形成した酸化表面層を含む請求項1または2記載の半導体装置。

【請求項4】 前記バリア層は、Ti層とその上に形成されたTiN層を含む少なくとも2層から構成されている請求項1または2記載の半導体装置。

【請求項5】 前記バリア層は、TiN層であり、さらに、前記バリア層と前記第2の配線との界面に形成されたTi層を有し、前記第2の配線は、Ti濃度が0.1%以下である請求項1または3記載の半導体装置。

【請求項6】 絶縁表面上に、高融点金属を主成分として含む第1の配線を形成する工程と、

前記第1の配線を覆う層間絶縁膜を形成し、前記第1の配線の表面のうち所定の領域が露出するように前記層間絶縁膜にビアホールを形成するビアホール形成工程と、

少なくとも前記ビアホールの底面に露出した前記第1の配線の表面に、前記第1の配線の主成分である高融点金属及びAlの双方と異なり、かつ双方と反応しにくい材料からなるバリア層を形成するバリア層形成工程と、

前記バリア層表面を酸化し、酸化表面層を形成するバリア層表面酸化工程と、

前記層間絶縁膜及び前記酸化表面層の上にAlを主成分として含む第2の配線層を形成する第2の配線層形成工程とを含む半導体装置の製造方法。

【請求項7】 さらに、前記バリア層表面酸化工程の後、前記第2の配線層形成工程前に、少なくとも前記バリア層を250～500℃の温度に加熱しバリア層表面に吸着したガスを放出するデガス工程を含む請求項6記載の半導体装置の製造方法。

【請求項8】 さらに、前記第2の配線層形成工程は前記バリア層表面を300～400℃にして前記第2の配線を形成する請求項7記載の半導体装置の製造方法。

【請求項9】 絶縁表面上に、高融点金属を主成分とし

て含む第1の配線を形成する工程と、

前記第1の配線を覆う層間絶縁膜を形成し、前記第1の配線の表面のうち所定の領域が露出するように前記層間絶縁膜にビアホールを形成するビアホール形成工程と、

少なくとも前記ビアホールの底面に露出した前記第1の配線の表面に、TiNからなるバリア層を形成するバリア層形成工程と、

少なくとも前記バリア層表面に、Ti層を形成するTi層形成工程と、

前記層間絶縁膜及び前記Ti層の上に、Alを主成分として含み、Ti濃度が0.1%以下である第2の配線層を形成する第2の配線層形成工程とを含む半導体装置の製造方法。

【請求項10】 前記Ti層形成工程は、前記第1の配線の表面温度が50～200℃でTi層を形成し、

前記第2の配線層形成工程は、前記Ti層形成工程とほぼ同じ温度で前記第2の配線を形成する請求項9記載の半導体装置の製造方法。

【請求項11】 前記バリア層形成工程は、前記層間絶縁膜及び第1の配線の表面を加熱し、該表面温度が50～200℃のときにTiN層の堆積を開始し、該TiN層の堆積終了時には、該TiN層表面の温度が400～600℃となるように温度制御しつつ、少なくとも前記ビアホールの底面に露出した前記第1の配線の表面にTiN層を堆積する請求項6～10のいずれかに記載の半導体装置の製造方法。

【請求項12】 絶縁表面上に、高融点金属を主成分として含む第1の配線を形成する工程と、

前記第1の配線を覆う層間絶縁膜を形成し、前記第1の配線の表面のうち所定の領域が露出するように前記層間絶縁膜にビアホールを形成するビアホール形成工程と、

少なくとも前記ビアホールの底面に露出した前記第1の配線の表面に、Ti層を形成する工程と、

少なくとも前記Ti層表面に、TiNからなるバリア層を形成するバリア層形成工程と、

前記層間絶縁膜及び前記バリア層の上に、Alを主成分として含む第2の配線層を形成する第2の配線層形成工程とを含む半導体装置の製造方法。

【請求項13】 さらに、ビアホール形成工程の後に、Arを用いたスパッタエッチングにより、前記ビアホール底面に露出した前記第1の配線の表面及び前記層間絶縁膜の表面を30～50nmエッチングする工程を含む請求項6～12のいずれかに記載の半導体装置の製造方法。

【請求項14】 さらに、前記第2の配線層の表面に、反応ガスとしてArとN₂を含む混合ガスを用い、混合ガスの流量に対するN₂ガスの流量比が40～60%の条件でリアクティブスパッタリングによりTiN層を形成する工程を含む請求項6～13のいずれかに記載の半導体装置の製造方法。

【請求項15】 さらに、前記第2の配線層を部分的にエッチングして所定のパターンの第2の配線を形成する工程と、

前記第2の配線を覆うように、400℃以下の温度でパッシベーション膜を形成する工程を含む請求項6～14のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、多層配線を有する半導体装置及びその製造方法に関し、特に、下層配線として高融点金属を使用した多層配線形成技術に関する。

【0002】

【従来の技術】 従来の半導体装置においては、A1またはA1合金を主体とした積層配線が用いられていた。例えば、T1層の上にT1N層とA1合金層を積層したA1/T1N/T1積層構造、T1層の上にA1合金を積層したA1/T1積層構造が用いられていた。特に、下層配線には、一般的にA1/T1N/T1積層構造が用いられていた。

【0003】 半導体装置の微細化が進むにつれて、特に下層配線において配線幅、コンタクトホール径等が縮小化してきた。これらパターンが微細化すると、A1配線を流れる電流密度が増大し、A1配線のエレクトロマイグレーションによる抵抗の増大及び断線が発生しやすくなる。このため、半導体装置の信頼性の低下が懸念されるようになってきた。

【0004】 さらに、微細化によるストレスマイグレーション耐性等の劣化による配線の信頼性に対する懸念が増大してきた。上記問題点を解決するため、下層配線としてA1の代わりに高融点金属のタングステン(W)を用いる技術が注目されている。

【0005】 図9は、従来のA1を使用した多層配線構造と同様の構造を有し、下層配線としてW層を使用した場合の多層配線基板の断面を示す。シリコン基板50の上にボロンリンシリケートガラス(BPSG)膜51が形成されている。BPSG膜51表面の所定の領域にT1層52、T1N層53、W層54がこの順序で積層された下層配線が形成されている。

【0006】 下層配線及びBPSG膜51を覆うように層間絶縁膜55が形成されている。層間絶縁膜55には、下層配線と電氣的接続をとるためのコンタクトホールが設けられている。層間絶縁膜55の上には、T1層56、A1合金層57の積層構造からなる上層配線が形成されており、上層配線は、層間絶縁膜55に設けられたコンタクトホールを介して下層配線と接続されている。

【0007】

【発明が解決しようとする課題】 図9に示す多層配線構造では、上層配線形成後のパッシベーション膜の形成あるいはアニール時の熱により、A1合金層57とW層5

4とがT1層56を介して反応し、接触抵抗が増加するという問題がある。

【0008】 本発明の目的は、下層配線として高融点金属を使用し、上層配線形成後の熱処理においても上層配線と下層配線との接触抵抗の増大を抑制することができる多層配線形成技術を提供することである。

【0009】

【課題を解決するための手段】 本発明の半導体装置は、絶縁表面上に形成され、高融点金属を主成分として含む第1の配線と、前記第1の配線を覆うように形成され、所定の領域にコンタクトホールが設けられた層間絶縁膜と、前記第1の配線の上面のうち前記コンタクトホールが設けられた領域で前記第1の配線に電氣的に接続するように形成され、A1を主成分として含む第2の配線と、前記第1の配線と前記第2の配線とが電氣的に接続される界面に配置され、前記第1の配線の主成分である高融点金属及びA1の双方と異なり、かつ双方と実質的に反応しない材料からなるバリア層とを有する。

【0010】 本発明の半導体装置の製造方法は、絶縁表面上に、高融点金属を主成分として含む第1の配線を形成する工程と、前記第1の配線を覆う層間絶縁膜を形成し、前記第1の配線の表面のうち所定の領域が露出するように前記層間絶縁膜にビアホールを形成するビアホール形成工程と、少なくとも前記ビアホールの底面に露出した前記第1の配線の表面に、前記第1の配線の主成分である高融点金属及びA1の双方と反応しにくい材料からなるバリア層を形成するバリア層形成工程と、前記バリア層表面を酸化し、酸化表面層を形成するバリア層表面酸化工程と、前記層間絶縁膜及び前記酸化表面層の上にA1を主成分として含む第2の配線層を形成する第2の配線層形成工程とを含む。

【0011】

【作用】 高融点金属からなる下層配線とその上に形成される上層配線との界面に、どちらの配線材料とも反応しにくい材料からなるバリア層を形成することにより、バリア層材料と上下層配線材料との反応による各層の接触抵抗の増加を防止することができる。

【0012】 バリア層の上に上層配線となるA1合金層を形成する前に、バリア層表面に薄い酸化層を形成する。バリア層上に直接A1合金層を形成すると、上層配線のエレクトロマイグレーション耐性が劣化するが、バリア層表面に酸化層を形成しておくことによりエレクトロマイグレーション耐性の劣化を防止することができる。

【0013】

【実施例】 図1、図2を参照して本発明の実施例による多層配線の形成方法について説明する。なお、各工程毎の説明のため、適宜、図3～図7を参照しつつ説明する。

【0014】 図1(A)は、下層配線となる積層を形成

5

した基板断面を示す。シリコン基板1の表面に層間絶縁膜としてのBPSG膜2が形成されている。なお、図には示さないが、シリコン基板1表面の他の領域には、半導体素子が形成されている。

【0015】BPSG膜2が形成された基板表面に、厚さ20nmのTi層3、厚さ50nmのTiN層4をこの順序に形成する。次に、TiN層4の全面に原料ガスとしてWF₆、還元性ガスとしてH₂を使用し、CVD（化学気相成長法）により厚さ350nmのW層5を形成する。

【0016】図1（B）に示すように、フォトリソグラフィにより、W層5、TiN層4及びTi層3を所定の領域を残してエッチングし、下層配線を形成する。図1（C）に示すように、下層配線及びBPSG膜2表面を覆うように、厚さ700～900nmの層間絶縁膜6を形成する。層間絶縁膜6は、反応ガスとしてSiH₄とN₂Oを用いプラズマCVDによって形成された厚さ100nmのSiON膜と、反応ガスとしてO₃とTEOS（テトラエチルオルソシリケート）を用いCVDによって形成された厚さ600～800nmのノンドープSiO₂膜の2層から構成される。

【0017】次に、層間絶縁膜6の下層配線上の所定の領域に、下層配線と上層配線とを接続するためのビアホールを形成する。図1（D）に示すように、W層5の露出した表面のプレクリーン処理を行う。プレクリーン処理は、Arを用いたスパッタエッチにより、W層5の表面を厚さ30～50nmエッチングすることにより行う。通常のプレクリーン処理では、10nm程度のエッチングで十分であるが、30～50nmエッチングすることにより、層間絶縁膜6がエッチングされる厚さも厚くなるため、ビアホール開口面の周囲はなだらかな形状になる。

【0018】図2（A）に示すように、層間絶縁膜6とビアホール底面に露出したW層5の表面を覆うように、窒素雰囲気中でTiターゲットを用いたリアクティブスパッタリングにより厚さ100nmのTiN層7を形成する。TiN層7の成膜は、基板温度500℃で行う。次に、N₂雰囲気中で、温度450℃で30分間熱処理を行い、TiN層表面を僅かに酸化する。これにより、TiN層7の表面に薄いTiN酸化表面層8が形成される。

【0019】TiN層7を基板温度500℃でリアクティブスパッタにより形成する場合には、基板温度が上昇する前にTiNの成膜を開始することが好ましい。以下、TiN成膜の好ましい開始時期について図3を参照して説明する。

【0020】図3は、層間絶縁膜6からのデガス量の時間変化を示す。横軸は基板の温度上昇開始からの時間を単位秒で表し、縦軸は層間絶縁膜6からのデガス量を任意目盛りで表す。温度上昇開始当初は、デガス量は少な

6

く、時間の増加とともに増加する。特に、温度上昇開始から約10秒経過後、デガス量の増加が大きくなる。デガス量は、温度上昇開始から約30秒後に最大となり、それ以後はしだいに減少する。

【0021】層間絶縁膜からガスが放出されると、プレクリーン処理を行ったW層5の表面がガスにより汚染される。このため、W層5とTiN層7との接触抵抗が増大する。接触抵抗の増大を抑制するためには、層間絶縁膜6からのデガス量が増加する前にTiN層7の堆積を開始すればよい。図3から、温度上昇開始後10秒以内にTiN層7の堆積を開始すればよいことがわかる。これを基板温度で表せば、200℃以下のときにTiN層7の堆積を開始すればよいことになる。

【0022】また、基板加熱の十分な効果を得るためには、温度上昇開始から5秒以上経過してTiN層の堆積を開始することが好ましい。これを基板温度で表せば、50℃以上のときにTiN層7の堆積を開始すればよいことになる。なお、堆積終了時でのTiN層表面の温度は、400～600℃、さらには500℃程度となることが好ましい。

【0023】次に、TiN層7を形成した後、表面をわずかに酸化する理由について説明する。図4は、TiN層あるいはTi層上に形成したAl配線の抵抗の時間変化を示す。横軸は電流を流し始めてからの経過時間を表し、縦軸はAl配線の抵抗を任意目盛りで表す。なお、Al配線の幅は0.7μm、厚さは0.8μm、電流密度は2～3MA/cm²、基板温度は200℃である。

【0024】図中、曲線p1は、Al配線をTi/TiN層上に形成した場合、曲線q1は、TiN層を形成し、TiN層表面を大気にさらした後Al配線を形成した場合、曲線r1は、TiN層を形成した後、大気にさらすことなく連続してAl配線を形成した場合を示す。

【0025】曲線p1、q1で示すように、Al配線をTi/TiN層上に形成した場合及びTiN層表面を大気にさらした後Al配線を形成した場合には、通電開始当初わずかに抵抗が増加するが、その後は、ほとんど抵抗の増加は見られない。これに対し、曲線r1で示すように、TiN層形成後連続してAl配線を形成した場合には、電流を流し始めてから約500時間経過すると、抵抗の増加率が大きくなる。これは、Al配線のエレクトロマイグレーションにより抵抗が増加するためと考えられる。

【0026】従って、Al配線の抵抗の増加を抑制するためには、TiN層形成後、大気にさらすかまたは熱処理を行うことにより、表面をわずかに酸化することが好ましい。なお、Ti/TiN層上にAl配線を形成する方法については、後に他の実施例で説明する。

【0027】図2（B）に示すように、TiN酸化表面層8の上にAl合金層9を形成する。以下、Al合金層9の形成方法について説明する。まず、TiN層7の表

面を酸化した後、基板を500℃に加熱しデガスを行う。これにより、TiN層表面に吸着していた水分を除去することができる。

【0028】図5(A)は、デガスを行うための加熱装置を示す。処理容器20の底面にほぼ平坦な上面を有するサセプタ24が配置されている。サセプタ24の内部にはヒータ23が収納されている。サセプタ24の上面のほぼ中央部には、処理容器20内にガスを導入するためのガス配管22が開口している。また、処理容器20

には、ガス排気用配管25が設けられており内部のガスを排気することができる。

【0029】サセプタ24の上面からわずかに上方に、上面とほぼ平行に処理基板21を配置する。ヒータ23でサセプタ24の上面を加熱しながら、ガス配管22からArガスを導入する。Arガスはサセプタ24と処理基板21との間隙を流れ、サセプタ24によって加熱される。この間隙部の圧力は、1~20 Torr程度とすることが好ましい。加熱されたArガスにより処理基板表面が所望の温度まで加熱される。

【0030】図5(B)は、処理基板表面の温度変化を示す。横軸は加熱開始からの時間を単位秒で表し、縦軸は処理基板表面の温度を任意目盛りで表す。曲線p2は、図5(A)に示す方法で加熱した場合を示す。曲線q2は、ランプ加熱により加熱した場合を示す。なお、曲線r2は表面にTiN層が形成されていない基板をランプ加熱した場合を示す。曲線q2、r2で示すようにランプ加熱の場合、表面にTiN層が形成されていない場合には効果があるが、TiN層が形成されている場合には加熱の効果が少なく、所望の温度まで加熱するために長時間を要する。

【0031】これに対し、図5(A)に示すように、基板裏面に沿ってArガスを流しながら、ガスを媒介として加熱すると、TiN層の有無に関係なく所望の温度まで比較的短時間に加熱することができる。加熱開始から約40秒後にほぼ所望の温度に達する。図5(A)に示す方法の場合、加熱を開始してから約60秒間デガスを行うことが好ましい。なお、十分な水分のデガスを行うためには、TiN層表面の温度を250~500℃とすることが好ましい。

【0032】このように、Al合金層9を形成する前にTiN層7、TiN酸化表面層8のデガスを十分行うことにより、後の熱処理工程でAl合金層9が陥没することを防止することができる。

【0033】図6は、TiN層7、TiN酸化表面層8のデガスを十分行わなかった場合の積層構造の断面図を示す。図6(A)に示すように、図2(A)までと同様の工程により層間絶縁膜6、TiN層7、TiN酸化表面層8が形成されている。TiN酸化表面層8の上に、デガスを行わないでAl合金層9を形成する。さらに、Al合金層9の上にリンシリケートガラス(PSG)膜

10を形成する。

【0034】図6(B)に示すように、PSG膜10の上にパッシベーション膜としてSiN膜11を形成する。このとき、Al合金層9の一部が陥没し、陥没部12が発生する。これは、TiN層7、TiN酸化表面層8表面に吸着された水分が原因と考えられる。Al合金層9を形成する前に十分デガスを行うことにより、このような陥没の発生を防止することができる。

【0035】デガスが完了した後、図5(A)に示すサセプタ24の温度を50~200℃、さらに好ましくは100℃としてArガスを流し、基板を50~200℃まで冷却する。その後、基板温度約350℃の条件で、堆積速度10nm/sで厚さ0.4~0.5μmのAl合金層を堆積し、その後、堆積速度20nm/sで全体の厚さが0.8~1.0μmとなるまでAl合金層を堆積する。この時、前半の堆積時には、サセプタのArガスを流さず、基板温度の上昇を抑制する。また、前半の堆積速度を後半の堆積速度よりも遅くすることによっても、基板温度の上昇を抑制することができる。なお、Al合金層は、Alに0.1%のCuと0.15%のTiが含有されたものである。

【0036】このように、約500℃でTiN酸化表面層8のデガスを行なった後、Al合金層堆積時に基板温度を300~400℃程度とすることが好ましい。基板温度を300~400℃としてAl合金層を堆積することにより、Al合金層のステップカバレッジ率を改善することができる。

【0037】図7は、温度500℃程度でAl合金層9を形成した場合の積層構造の断面図を示す。500℃程度の比較的高温の基板表面に付着したAl原子群は、その表面積を小さくしようとして球状になる。このため、図7に示すようにビアホール内に堆積したAl合金層9の表面に凹凸が生じ、ステップカバレッジ率が悪くなる。Al合金層9を形成する前に基板温度を300~400℃程度とすることにより、Al合金層9の表面を滑らかにすることができる。

【0038】このように、Al合金層9、TiN酸化表面層8、TiN層7からなる上層配線積層構造を形成する。図2(C)は、上層配線の上にパッシベーション膜を形成した積層配線構造の断面図を示す。

【0039】まず、Al合金層9を形成した後、上層配線を形成すべき領域をレジストパターンで覆い、レジストパターンをマスクとしてAl合金層9、TiN酸化表面層8、TiN層7をエッチングする。次に、厚さ0.2μmのPSG膜10を全面に形成する。その後、PSG膜形成時のダメージを回復するために450℃で30分程度フォーミングガス雰囲気中で熱処理を行う。フォーミングガスとしては、例えば、N₂ガスに3%のH₂ガスが含まれた混合ガスを用いる。熱処理後、厚さ1.0μmのSiN膜11を形成する。このように、PSG

膜10とSiN膜11の2層からなるパッシベーション膜を形成する。

【0040】このように形成された図2(C)に示す積層配線構造においては、W層5とAl合金層9との間にTiN層7が形成されているため、WとAlとの反応による接触抵抗の増加を防止することができる。また、既に述べたように、TiN層7を形成する際に、層間絶縁膜6からのデガス量が増加する前にTiN層の堆積を開始することにより、W層5とTiN層7との接触抵抗の増加を防止することができる。

【0041】さらに、TiN層7の表面をわずかに酸化することにより、その上に形成するAl合金層9のエレクトロマイグレーション耐性を向上することができる。なお、図4の曲線r1で示すように、TiN層上にAl合金層を連続して形成する方法は、Al合金層のエレクトロマイグレーション耐性が悪くなるというデメリットはあるが、Al合金層とW層との間にTiN層が形成されているため、AlとWとの反応による接触抵抗の増加を防止するという点では同様の効果が期待できる。

【0042】また、W層5とTiN層7との間にTi層を設けてもよい。例えば、図1(D)に示すように、W層5の露出した表面のプレクリーン処理を行なった後、基板温度200~300℃で厚さ10~50nmのTi層、基板温度200~400℃で厚さ50~150nmのTiN層をこの順番に堆積する。

【0043】続いて、TiN層表面を酸化することなく、図2(B)で説明した方法と同様にAl合金層を堆積する。TiN層の下にTi層を形成することにより、Al合金層のエレクトロマイグレーション耐性を向上することができる。これは、Ti層の存在により、Al合金層の(111)配向が強まるためと考えられる。この方法ではAl合金層堆積前にTiN層表面を酸化する必要がないため、図1、図2に示した方法に比べて工程数削減の効果がある。

【0044】Al合金層9の形成前にTiN層7のデガスを十分行うことにより、Al合金層9の陥没を防止することができる。また、Al合金層9を350℃程度の比較的低温で堆積することにより、Al合金層9のステップカバレッジ率を向上することができる。

【0045】次に、図8を参照して本発明の他の実施例について説明する。図8(A)は、他の実施例による多層配線構造の断面図を示す。シリコン基板1の表面に形成されたBPSG膜2の上に図1(A)~(D)の工程と同様の方法で、W層5、TiN層4、Ti層3の3層からなる下層配線層、及び層間絶縁膜6を形成する。

【0046】ビアホール底面に露出したW層5の表面を前述のプレクリーン処理した後、図2(A)の工程と同様の条件で厚さ100nmのTiN層7を形成する。次に、基板温度を100℃としスパッタリングにより、厚さ30nmのTi層13を形成する。Ti層13の上に

基板温度を100℃に維持したまま、その他の条件は図2(B)の工程と同様の条件でAl合金層9を形成する。なお、Ti層13及びAl合金層9の形成開始時の基板温度は、50~200℃でもよい。

【0047】図8(A)に示す多層配線構造においても、W層5とAl合金層9との間にTiN層7が形成されているため、WとAlとの反応による接触抵抗の増加を防止することができる。また、Al合金層9とTiN層7との間にTi層13が挟まれているため、図4の曲線p1で示すように上層配線のエレクトロマイグレーションによる抵抗の増加を抑制することができる。

【0048】なお、図8(A)の多層配線構造においては、Al合金層9とTi層13との界面におけるAlとTiとの反応が問題になる。AlとTiが反応しAl₃Ti合金が形成されると、Al合金層9の実効的な膜厚が薄くなりシート抵抗が増加する。このシート抵抗の増加はAl合金層9のTi濃度の減少、あるいはAl合金層9形成後に行う熱処理温度の低温化により抑制することが可能である。

【0049】図8(B)は、上層配線層のシート抵抗の時間変化を示す。横軸は熱処理時間、縦軸はシート抵抗を、それぞれ任意目盛りで表す。曲線p3は、Al合金層9としてAlに0.1%のCuと0.15%のTiを混入したAl合金を使用した場合、曲線q3は、Alに0.1%のCuと0.05%のTiを混入したAl合金を使用した場合のシート抵抗の変化を示す。

【0050】曲線p3、q3の場合、共に熱処理開始当初は、熱処理時間の増加に伴ってシート抵抗は増加する。所定の時間が経過するとシート抵抗の増加は飽和し、それ以上熱処理を行ってもシート抵抗はほぼ一定の値を維持する。この一定の値までの増加量は、Ti層13の厚さにより決まる。このように、シート抵抗の熱処理時間に対する変化は同様の傾向を示すが、Al合金中のTi濃度を0.05%としたときには、曲線q3で示すように、Ti濃度を0.15%としたときに比べてシート抵抗が小さい。これは、Ti濃度を減少させたAl合金の抵抗率が小さいためと考えられる。Ti濃度の減少の効果を得るためには、Ti濃度を0.1%以下とすることが好ましい。

【0051】図8(B)の曲線r3は、曲線q3の場合と同一組成のAl合金層を形成し、その後、より低い温度で熱処理を行った場合のシート抵抗の変化を示す。熱処理温度が低いと、熱処理時間に対するシート抵抗の増加は緩やかになる。このため、熱処理温度を低下することにより、シート抵抗の増加を抑制することができる。

【0052】シート抵抗の増加抑制の効果を十分得るためには、上層配線形成後の熱処理の温度を400℃程度以下とすることが好ましい。例えば、上層配線の上に形成するパッシベーション膜堆積時の基板温度、リード線取り出し用のパッドを露出させるためのパッシベシ

ン膜エッチング後の熱処理温度等を400℃程度以下とすることが好ましい。

【0053】Al合金層9を形成後、Al合金層9の上に上層配線層をパターンニングする際の露光光の反射防止膜として厚さ30～100nmのTiN層14を形成する。このように、Al合金層9は、下側のTi層13とTiN層7からなるバリアメタル層と、上側の反射防止用のTiN層14に挟まれた構造となる。

【0054】バリアメタル層としてのTiN層7は、成膜温度500℃、作動ガスとしてArとN₂の混合ガスを用いたりアクティブスパッタリングにより形成する。このとき、TiN層7の抵抗率を小さくするために、成膜温度は高い方が好ましい。また、混合ガス全流量に対するN₂ガスの流量比は、70～100%、さらには80%程度が好ましい。N₂ガスの流量比を80%程度とすると、形成されるTiN層は(200)配向する傾向が強くなる。(200)配向することにより、グレインサイズが大きくなり、表面がより平坦になる。さらには、高密度化しやすく抵抗率の低減を図ることができる。

【0055】これに対して、Al合金層9の上に形成される反射防止用のTiN層14は、成膜温度を200～300℃とし、TiN層7と同様に作動ガスとしてArとN₂の混合ガスを用いたりアクティブスパッタリングにより形成する。このとき、N₂ガスの流量比をTiN層7の形成の場合と同様に80%程度とすると、窒素原子が下地のAlと反応してAlNが形成される。このため、TiN層14とAl合金層9との接触抵抗が大きくなる。AlNの形成を防止するためには、ArとN₂の混合ガス全流量に対するN₂ガスの流量比を40～60%、さらには50%程度とすることが好ましい。

【0056】また、Al合金層9の上に、さらに3層目の配線を形成する場合にも2層目の配線と同様の方法により配線層を形成することができる。すなわち、2層目配線の反射防止用TiN層14上に、バリアメタル層、Al合金層及び反射防止用TiN層からなる3層目の配線を形成することができる。2層目配線表面に反射防止用TiN層14がある場合の3層目配線のバリアメタル層は、2層目配線と3層目配線との接触抵抗を少なくするために必要となる。

【0057】上記実施例では、高融点金属配線上のバリアメタル層としてTiNを用いた場合について説明したが、下層配線の主成分であるWと、上層配線の主成分であるAlとの双方と反応しにくい材料であればその他の金属あるいは金属化合物物を使用してもよい。例えば、TiW、W、Ta等を使用してもよい。

【0058】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0059】

【発明の効果】以上説明したように、本発明によれば、高融点金属を用いた下層配線と、その上に形成される上層配線との接触抵抗の増加を抑制することができ、半導体装置の信頼性及び性能の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施例による多層配線形成方法を説明するための多層配線構造の断面図である。

【図2】本発明の実施例による多層配線形成方法を説明するための多層配線構造の断面図である。

【図3】図1(D)に示す多層配線構造基板を加熱したときの、層間絶縁膜からのデガス量の時間変化を示すグラフである。

【図4】TiN層上に連続してAl合金層を形成した場合、TiN層を一旦大気にさらした後Al合金層を形成した場合、またはTi/TiN積層構造上にAl合金層を形成した場合に、積層配線に通電したときの、抵抗の時間変化を示すグラフである。

【図5】本発明の実施例で使用したデガス処理装置の概略断面図、及びこのデガス処理装置を使用して基板を加熱した場合の基板の温度変化を示すグラフである。

【図6】TiN層上に形成したAl合金層の陥没の様子を示すための積層構造の断面図である。

【図7】TiN層の酸化表面上に比較的高温でAl合金層を形成した場合の多層配線構造の断面図である。

【図8】本発明の他の実施例による多層配線構造の断面図、及びこの多層配線構造が形成された基板を熱処理した場合の上層配線層のシート抵抗の時間変化を示すグラフである。

【図9】従来例による多層配線構造の断面図である。

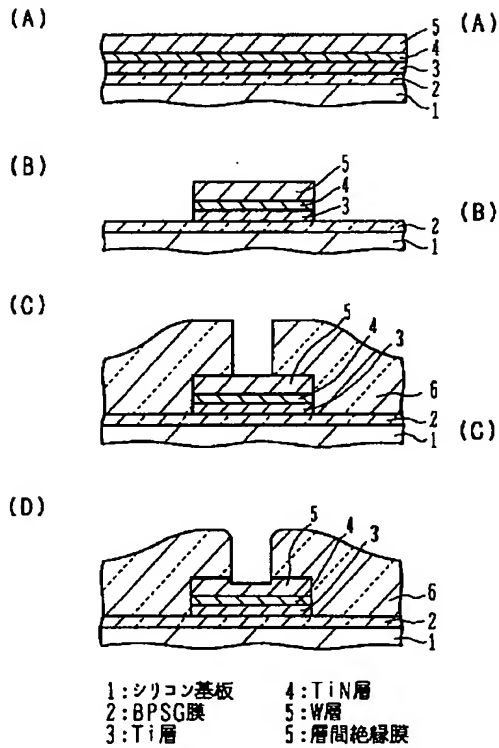
【符号の説明】

- | | |
|----|-----------|
| 1 | シリコン基板 |
| 2 | BPSG膜 |
| 3 | Ti層 |
| 4 | TiN層 |
| 5 | W層 |
| 6 | 層間絶縁膜 |
| 7 | TiN層 |
| 8 | TiN酸化表面層 |
| 9 | Al合金層 |
| 10 | PSG膜 |
| 11 | SiN膜 |
| 12 | 陥没部 |
| 13 | Ti層 |
| 14 | 反射防止用TiN層 |
| 20 | 処理容器 |
| 21 | 処理基板 |
| 22 | ガス導入配管 |
| 23 | ヒータ |
| 24 | サセプタ |

- 25 ガス排気用配管
50 シリコン基板
51 BPSG膜
52 Ti層
53 TiN層

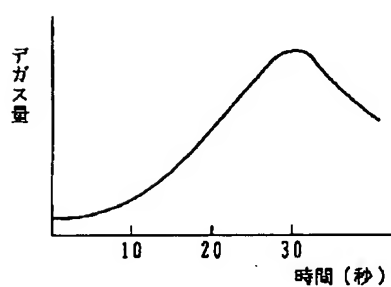
【図1】

実施例による多層配線形成方法



【図3】

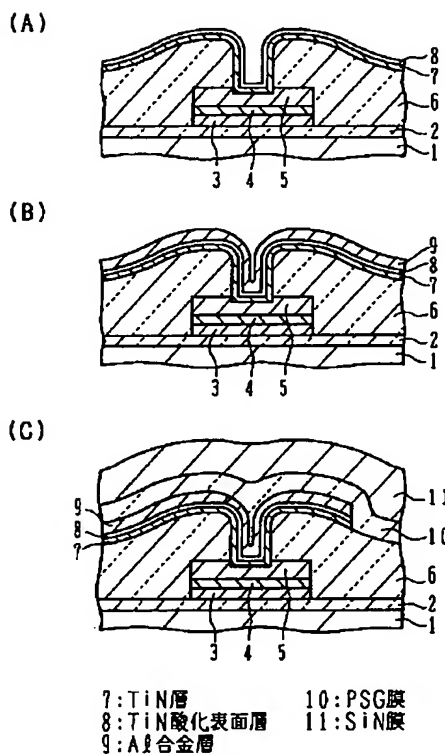
デガス量の時間変化



- 54 W層
55 層間絶縁膜
56 Ti層
57 Al合金層

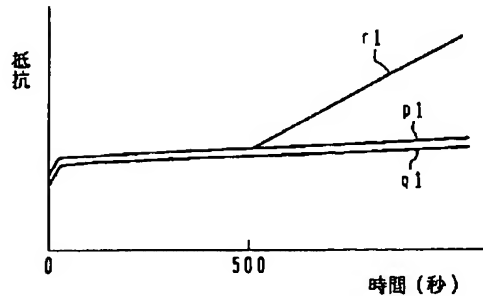
【図2】

実施例による多層配線形成方法



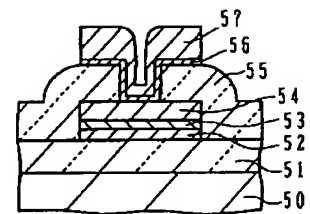
【図4】

Al配線の抵抗の変化



【図9】

従来例

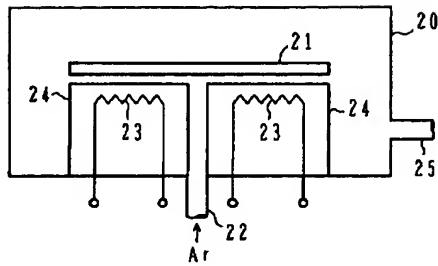


- 50:シリコン基板
51:BPSG膜
52:Ti層
53:TiN層
54:W層
55:層間絶縁膜
56:Ti層
57:Al合金層

【図5】

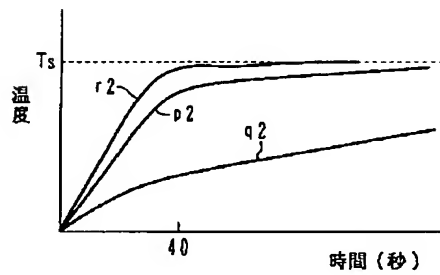
デガス処理装置

(A)



20:処理容器 23:ヒータ
21:処理基板 24:サセプタ
22:ガス導入配管 25:ガス排気用配管

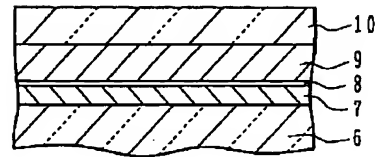
(B)



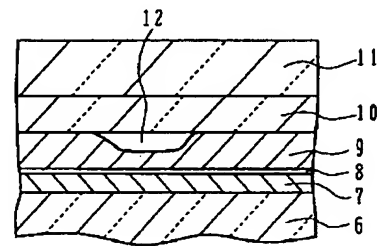
【図6】

TiN層のデガスを行わない場合

(A)



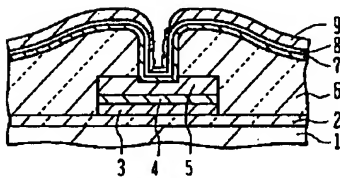
(B)



12:陥没部

【図7】

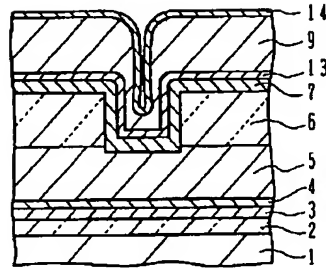
冷却しないで形成したAl合金層



【図 8】

他の実施例

(A)



13:Ti層
14:反射防止用TiN層

(B)

